

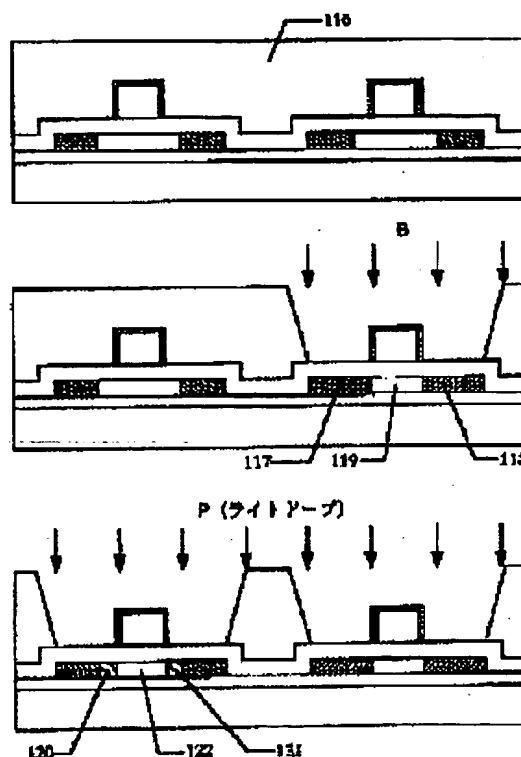
SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Patent number: JP11097703
Publication date: 1999-04-09
Inventor: CHIYOU KOUYUU; SAKAKURA MASAYUKI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- International: H01L29/786; H01L21/336
- european:
Application number: JP19970273451 19970920
Priority number(s): JP19970273451 19970920

Report a data error here

Abstract of JP11097703

PROBLEM TO BE SOLVED: To eliminate a resist mask for doping and reduce organic contamination of a semiconductor device, by using an interlayer insulating film as a mask in a doping step. **SOLUTION:** An interlayer insulating film 116 is formed to cover a gate insulating film and a gate electrode formed on an insulating substrate. Next, the interlayer insulating film 116 is patterned to open a hole above a semiconductor island region to be a P-channel transistor. Then, boron ions are implanted by using the interlayer insulating film 116 as a mask and the conductivity type of the impurity region is inverted, thus forming p-type impurity regions 117 and 118 and forming a channel forming region 119 of the P-channel transistor. Moreover, a hole is opened above a semiconductor island region to be an N-channel transistor and phosphorus is implanted, thus forming n-type impurity regions 120 and 121 and forming a channel forming region 122 of the N-channel transistor.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97703

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

6 1 6 A

6 1 6 M

6 1 6 T

6 2 1

審査請求 未請求 請求項の数19 F D (全 13 頁)

(21) 出願番号 特願平9-273451

(22) 出願日 平成9年(1997) 9月20日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 坂倉 真之

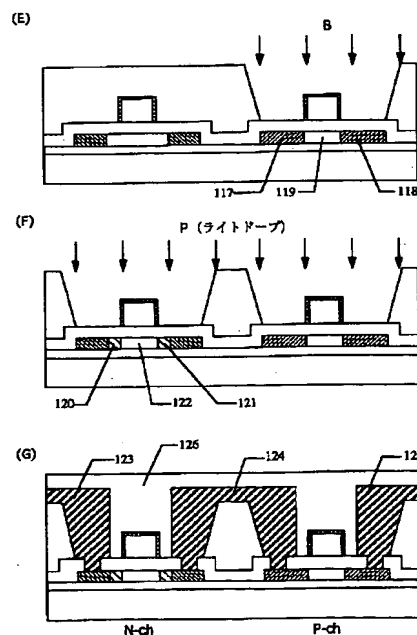
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 同一基板上にPチャネル型トランジスタ及びNチャネル型トランジスタを有する半導体装置の作製方法において、作製工程を複雑にせずに、ドーピング用マスクを作製工程からなくす。

【解決手段】 ゲイト絶縁膜およびゲイト電極を覆って層間絶縁膜を成膜後、層間絶縁膜をパターニングし、少なくとも1つのゲイト電極を露呈する。その後、層間絶縁膜及びゲイト電極をマスクとして、前記露呈されたゲイト電極の下の半導体層に不純物を注入する。



【特許請求の範囲】

【請求項1】 絶縁基板上に少なくとも2つの半導体島領域を形成する工程と、
前記半導体島領域上にゲイト絶縁膜を形成する工程と、
前記ゲイト絶縁膜上にゲイト電極を形成する工程と、
前記ゲイト電極をマスクとして、前記半導体島領域中に第1の不純物を注入する工程と、
前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、
前記層間絶縁膜をパターニングし、前記ゲイト電極のうち少なくとも1つを露呈する工程と、
前記ゲイト電極および前記層間絶縁膜をマスクとして、前記露呈されたゲイト電極下の半導体島領域中に第2の不純物を注入する工程とを有することを特徴とする半導体装置の作製方法。

【請求項2】 半導体基板上にゲイト絶縁膜を形成する工程と、
前記ゲイト絶縁膜上に少なくとも2つのゲイト電極を形成する工程と、
前記ゲイト電極をマスクとして、前記半導体中に第1の不純物を注入する工程と、
前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、
前記層間絶縁膜をパターニングし、前記ゲイト電極のうち少なくとも1つを露呈する工程と、
前記ゲイト電極および前記層間絶縁膜をマスクとして、前記半導体中に第2の不純物を注入する工程とを有することを特徴とする半導体装置の作製方法。

【請求項3】 絶縁基板上に少なくとも2つのゲイト電極を形成する工程と、
前記ゲイト電極上にゲイト絶縁膜を形成する工程と、
前記ゲイト絶縁膜上に少なくとも2つの半導体層を形成する工程と、
前記半導体層上に層間絶縁膜を形成する工程と、
前記層間絶縁膜をパターニングし、前記半導体層のうち少なくとも1つの半導体層の一部を露呈する工程と、
前記層間絶縁膜をマスクとして、前記露呈された半導体層中に第1の不純物を注入する工程と前記層間絶縁膜をパターニングし、前記露呈された半導体層とは他の半導体層の一部を露呈する工程と、
前記層間絶縁膜をマスクとして、全ての前記半導体層中に第2の不純物を注入する工程とを有することを特徴とする半導体装置の作製方法。

【請求項4】 絶縁基板上に半導体島領域を形成する工程と、
前記半導体島領域上にゲイト絶縁膜を形成する工程と、
前記ゲイト絶縁膜上にゲイト電極を形成する工程と、
前記ゲイト電極をマスクとして、前記半導体島領域中に低濃度の不純物を注入する工程と、
前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁

膜を形成する工程と、

前記層間絶縁膜をエッチングし、ゲイト電極の側面にスペーサーを形成する工程と、

前記ゲイト電極および前記スペーサーをマスクとして、前記半導体島領域中に高濃度の不純物を注入する工程とを有することを特徴とする半導体装置の作製方法。

【請求項5】 半導体基板上にゲイト絶縁膜を形成する工程と、

前記ゲイト絶縁膜上にゲイト電極を形成する工程と、
前記ゲイト電極をマスクとして、前記半導体中に低濃度の不純物を注入する工程と、

前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、

前記層間絶縁膜をエッチングし、ゲイト電極の側面にスペーサーを形成する工程と、

前記ゲイト電極および前記スペーサーをマスクとして、前記半導体中に高濃度の不純物を注入する工程とを有することを特徴とする半導体装置の作製方法。

【請求項6】 少なくとも1つのPチャネル型トランジスタと少なくとも1つのNチャネル型トランジスタとを有する半導体装置において、

前記Pチャネル型トランジスタと前記Nチャネル型トランジスタはそれぞれ、

チャネル形成領域、ソース領域およびドレイン領域と、前記チャネル形成領域の近隣にゲイト絶縁膜を介して形成されたゲイト電極と、

前記ソース領域に電気的に接続されたソース配線と、

前記ドレイン領域に電気的に接続されたドレイン配線と、

前記ソース配線または前記ドレイン配線の下に形成された層間絶縁膜とを有し、

前記層間絶縁膜には、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタの、ソース領域及びドレイン領域に添加されている不純物と同じ不純物が添加されていることを特徴とする半導体装置。

【請求項7】 請求項6において、前記層間絶縁膜に添加されている不純物の濃度は、前記層間絶縁膜の膜厚方向において勾配をもつ分布になっていることを特徴とする半導体装置。

【請求項8】 請求項6乃至7において、前記層間絶縁膜の膜厚は0.3 μ m以上であることを特徴とする半導体装置。

【請求項9】 請求項6乃至8において、前記層間絶縁膜は無機物よりなることを特徴とする半導体装置。

【請求項10】 少なくとも1つのPチャネル型トランジスタと少なくとも1つのNチャネル型トランジスタとを有する半導体装置において、

前記Pチャネル型トランジスタと前記Nチャネル型トランジスタはそれぞれ、

チャネル形成領域、ソース領域およびドレイン領域と、

前記チャンネル形成領域の近隣にゲイト絶縁膜を介して形成されたゲイト電極と、
前記ゲイト電極に電氣的に接続されたゲイト配線と、
前記ソース領域に電氣的に接続されたソース配線と、
前記ドレイン領域に電氣的に接続されたドレイン配線と、
前記ゲイト配線上に形成された第1の層間絶縁膜と、
前記ソース配線または前記ドレイン配線と、前記第1の層間絶縁膜との間に形成された第2の層間絶縁膜とを有し、
前記第1層間絶縁膜には、前記Pチャンネル型トランジスタまたは前記Nチャンネル型トランジスタの、ソース領域及びドレイン領域に添加されている不純物と同じ不純物が添加されていることを特徴とする半導体装置。

【請求項11】 請求項10において、前記第1の層間絶縁膜に添加されている不純物の濃度は、前記層間絶縁膜の膜厚方向において勾配をもつ分布になっていることを特徴とする半導体装置。

【請求項12】 請求項10乃至11において、前記第1の層間絶縁膜の膜厚は0.3 μm 以上であることを特徴とする半導体装置。

【請求項13】 請求項10乃至12において、前記第1の層間絶縁膜は無機物よりなることを特徴とする半導体装置。

【請求項14】 少なくとも1つのPチャンネル型トランジスタと少なくとも1つのNチャンネル型トランジスタとを有する半導体装置において、
前記Pチャンネル型トランジスタと前記Nチャンネル型トランジスタはそれぞれ、
チャンネル形成領域、ソース領域およびドレイン領域と、
前記チャンネル形成領域の近隣にゲイト絶縁膜を介して形成されたゲイト電極と、
前記ソース領域に接続されたソース電極に前記ソース電極に接続されたソース配線と、
前記ドレイン領域に接続されたドレイン電極と、
前記ドレイン電極に接続されたドレイン配線と前記ソース配線または前記ドレイン配線の下に形成された層間絶縁膜とを有し、
前記ゲイト絶縁膜には、前記層間絶縁膜と、前記ソース電極またはドレイン電極とが接する付近に段差があることを特徴とする半導体装置。

【請求項15】 少なくとも1つのPチャンネル型トランジスタと、
少なくとも1つのNチャンネル型トランジスタと、
前記Pチャンネル型トランジスタまたは前記Nチャンネル型トランジスタのゲイト電極に電氣的に接続されたゲイト配線と、
前記Pチャンネル型トランジスタまたは前記Nチャンネル型トランジスタのソース領域に電氣的に接続されたソース配線と、

前記Pチャンネル型トランジスタまたは前記Nチャンネル型トランジスタのドレイン領域に電氣的に接続されたドレイン配線と、
前記ゲイト配線と、前記ソース配線または前記ドレイン配線との間に設けられた層間絶縁膜とを有し、
前記Pチャンネル型トランジスタ及び前記Nチャンネル型トランジスタ上において、前記層間絶縁膜が開口されていることを特徴とする半導体装置。

【請求項16】 請求項14乃至15において、前記層間絶縁膜には、前記Pチャンネル型トランジスタまたは前記Nチャンネル型トランジスタのソース領域及びドレイン領域に添加されている不純物と同じ不純物が添加されていることを特徴とする半導体装置。

【請求項17】 請求項16において、前記層間絶縁膜に添加されている不純物の濃度は、前記層間絶縁膜の膜厚方向において勾配をもつ分布になっていることを特徴とする半導体装置。

【請求項18】 請求項14乃至17において、前記層間絶縁膜の膜厚は0.3 μm 以上であることを特徴とする半導体装置。

【請求項19】 請求項14乃至18において、前記層間絶縁膜は無機物よりなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁ゲイト型電界効果トランジスタ（以下単にトランジスタという）およびその作製方法に関する。特に、同一基板上にPチャンネル型トランジスタ及びNチャンネル型トランジスタを有する半導体装置およびその作製方法に関する。特に作製工程の簡略化に関する。

【0002】

【従来の技術】 ICなど同一基板上にPチャンネル型トランジスタとNチャンネル型トランジスタからなる相補型トランジスタを有する半導体装置が数多くある。また、近年では、絶縁基板上に液晶表示装置と液晶表示装置を駆動するための回路が形成されたものも作られるようになり、液晶表示装置を駆動するための回路は、相補型トランジスタを有している。

【0003】 同一基板上にPチャンネル型トランジスタとNチャンネル型トランジスタを形成する際に、半導体層にドーピングする不純物をPチャンネル型トランジスタとNチャンネル型トランジスタで打ち分けなければならない。

【0004】 この際、例えば、まず、Pチャンネル型トランジスタとなる半導体層上にマスクをして、Nチャンネル型トランジスタとなる半導体層中にリンを注入する。その後、前記マスクを除去し、今度はNチャンネル型トランジスタとなる半導体層にマスクをし、Pチャンネル型トランジスタとなる半導体層中にボロンを注入する。このように、不純物を打ち分けるには少なくとも2つのマスク

が必要である。

【0005】これに対し、ドーピング用マスクを1枚に減らし、相補型トランジスタの作製工程を簡略化した工程が提案されている。この工程の概略を以下に示す。図3において、絶縁基板301上に下地膜302を形成後、半導体島領域303、304を形成する。その後ゲイト絶縁膜305を形成する。そして、ゲイト絶縁膜305上にゲイト電極306、307を形成する。こうして図3(A)の状態を得る。

【0006】次に、ゲイト電極306、307をマスクとして全ての半導体島領域303、304中にリン(P)を注入する。こうしてN型の不純物領域308~311が形成される。(図3(B))

【0007】その後、Nチャネル型トランジスタとなる半導体島領域303上にマスク312を形成する。マスク312は、レジストを用いるリソグラフィ技術により形成される。そして、Pチャネル型トランジスタとなる半導体島領域304中にボロン(B)を注入する。このとき、ボロンのドーザ量は、図3(B)におけるリン(P)のドーザ量より多くする。こうすると、不純物領域310と311はp型に反転する。(図3(C))

【0008】そして、マスク312(レジスト等よりなる)を除去し、層間絶縁膜313を形成する。次に、層間絶縁膜313およびゲイト絶縁膜305にコンタクトホールを形成し、ソース・ドレイン電極314~316を形成する。こうして、同一基板上にNチャネル型トランジスタとPチャネル型トランジスタを得る。(図4(D))

【0009】

【発明が解決しようとする課題】このように、一般的にドーピング用マスクにはレジストが用いられる。レジストを用いるリソグラフィ技術は、LSI等の半導体装置の製造における微細加工に非常に有用である。

【0010】しかし、レジストは有機物からなるので、レジストを除去した後に残留有機物汚染が発生する確率が非常に高い。また、レジスト除去工程において、エッチング装置からの重金属による汚染もある。さらに、ドーピング工程で基板が高温に熱せられるので、その熱によりレジストが硬化してしまい、後のレジスト除去工程でレジストが取れにくくなり、生産性が下がるという問題もある。また、長時間、酸素等などでアッシングするので、プラズマによるダメージをうけてしまう。

【0011】したがって、ドーピング工程においてレジストを用いない工程が求められている。本発明は、作製工程を複雑にせずに、ドーピング用マスクを作製工程からなくすことを目的とする。

【0012】

【課題を解決するための手段】本明細書で開示する発明の主旨は、同一基板上にPチャネル型トランジスタ及びNチャネル型トランジスタを有する半導体装置の作製方

法において、層間絶縁膜をドーピング用マスクとして用いることを特徴とする。

【0013】本発明の第1は、絶縁基板上にトップゲイト型の薄膜トランジスタを形成する工程である。すなわち、絶縁基板上に少なくとも2つの半導体島領域を形成する工程と、前記半導体島領域上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極をマスクとして、前記半導体島領域中に第1の不純物を注入する工程と、前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、前記層間絶縁膜をパターニングし、前記ゲイト電極のうち少なくとも1つを露呈する工程と、前記ゲイト電極および前記層間絶縁膜をマスクとして、前記露呈されたゲイト電極下の半導体島領域中に第2の不純物を注入する工程とを有することを特徴とする。

【0014】本発明の第2は、半導体基板上にトランジスタを形成する工程である。すなわち、半導体基板上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上に少なくとも2つのゲイト電極を形成する工程と、前記ゲイト電極をマスクとして、前記半導体中に第1の不純物を注入する工程と、前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、前記層間絶縁膜をパターニングし、前記ゲイト電極のうち少なくとも1つを露呈する工程と、前記ゲイト電極および前記層間絶縁膜をマスクとして、前記半導体中に第2の不純物を注入する工程とを有することを特徴とする。

【0015】本発明の第3は、ボトムゲイト型のトランジスタを形成する工程である。すなわち、絶縁基板上に少なくとも2つのゲイト電極を形成する工程と、前記ゲイト電極上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上に少なくとも2つの半導体層を形成する工程と、前記半導体層上に層間絶縁膜を形成する工程と、前記層間絶縁膜をパターニングし、前記半導体層のうち少なくとも1つの半導体層の一部を露呈する工程と、前記層間絶縁膜をマスクとして、前記露呈された半導体層中に第1の不純物を注入する工程と前記層間絶縁膜をパターニングし、前記露呈された半導体層とは他の半導体層の一部を露呈する工程と、前記層間絶縁膜をマスクとして、前記半導体層中に第2の不純物を注入する工程とを有することを特徴とする。

【0016】また、本発明の工程で作製された半導体装置は、以下のような特徴を有する。すなわち、少なくとも1つのPチャネル型トランジスタと少なくとも1つのNチャネル型トランジスタとを有する半導体装置において、前記Pチャネル型トランジスタと前記Nチャネル型トランジスタはそれぞれ、チャネル形成領域、ソース領域およびドレイン領域と、前記チャネル形成領域の近隣にゲイト絶縁膜を介して形成されたゲイト電極と、前記ソース領域に電気的に接続されたソース配線と、前記ドレイン領域に電気的に接続されたドレイン配線と、前記

ソース配線および前記ドレイン配線の下に形成された層間絶縁膜とを有し、前記層間絶縁膜には、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタの、ソース領域及びドレイン領域に添加されている不純物と同じ不純物が添加されていることを特徴とする。

【0017】さらに、上記構成において、前記層間絶縁膜に添加されている不純物の濃度は、前記層間絶縁膜の膜厚方向において勾配をもつ分布になっていることを特徴とする。また、前記層間絶縁膜の膜厚は $0.3\mu\text{m}$ 以上であることを特徴とする。さらに、前記層間絶縁膜は無機物よりなることを特徴とする。

【0018】他に、層間絶縁膜を2層にする場合もある。すなわち、少なくとも1つのPチャネル型トランジスタと少なくとも1つのNチャネル型トランジスタとを有する半導体装置において、前記Pチャネル型トランジスタと前記Nチャネル型トランジスタはそれぞれ、チャネル形成領域、ソース領域およびドレイン領域と、前記チャネル形成領域の近隣にゲイト絶縁膜を介して形成されたゲイト電極と、前記ゲイト電極に電気的に接続されたゲイト配線と、前記ソース領域に電気的に接続されたソース配線と、前記ドレイン領域に電気的に接続されたドレイン配線と、前記ゲイト配線上に形成された第1の層間絶縁膜と、前記ソース配線または前記ドレイン配線と、前記第1の層間絶縁膜との間に形成された第2の層間絶縁膜とを有し、前記第1層間絶縁膜には、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタの、ソース領域及びドレイン領域に添加されている不純物と同じ不純物が添加されていることを特徴とする。

【0019】さらに上記構成において、前記第1の層間絶縁膜に添加されている不純物の濃度は、前記層間絶縁膜の膜厚方向において勾配をもつ分布になっていることを特徴とする。また、前記第1の層間絶縁膜の膜厚は $0.3\mu\text{m}$ 以上であることを特徴とする。さらに、前記層間絶縁膜は無機物よりなることを特徴とする。

【0020】また、他の特徴として、少なくとも1つのPチャネル型トランジスタと少なくとも1つのNチャネル型トランジスタとを有する半導体装置において、前記Pチャネル型トランジスタと前記Nチャネル型トランジスタはそれぞれ、チャネル形成領域、ソース領域およびドレイン領域と、前記チャネル形成領域の近隣にゲイト絶縁膜を介して形成されたゲイト電極と、前記ソース領域に接続されたソース電極に前記ソース電極に接続されたソース配線と、前記ドレイン領域に接続されたドレイン電極と、前記ドレイン電極に接続されたドレイン配線と前記ソース配線または前記ドレイン配線の下に形成された層間絶縁膜とを有し、前記ゲイト絶縁膜には、前記層間絶縁膜と、前記ソース電極またはドレイン電極とが接する付近に段差があることを特徴とする。

【0021】さらに、他の特徴として、少なくとも1つ

のPチャネル型トランジスタと、少なくとも1つのNチャネル型トランジスタと、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタのゲイト電極に電気的に接続されたゲイト配線と、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタのソース領域に電気的に接続されたソース配線と、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタのドレイン領域に電気的に接続されたドレイン配線と、前記ゲイト配線と、前記ソース配線または前記ドレイン配線との間に設けられた層間絶縁膜とを有し、前記Pチャネル型トランジスタ及び前記Nチャネル型トランジスタ上において、前記層間絶縁膜が開口されていることを特徴とする。

【0022】また、上記2つの構成において、前記層間絶縁膜には、前記Pチャネル型トランジスタまたは前記Nチャネル型トランジスタのソース領域及びドレイン領域に添加されている不純物と同じ不純物が添加されていることを特徴とする。さらに、前記層間絶縁膜に添加されている不純物の濃度は、前記層間絶縁膜の膜厚方向において勾配をもつ分布になっていることを特徴とする。また、前記層間絶縁膜の膜厚は $0.3\mu\text{m}$ 以上であることを特徴とする。さらに、前記層間絶縁膜は無機物よりなることを特徴とする。

【0023】さらに、他の発明として、層間絶縁膜をドーピング用マスクとしてだけでなく、LDD (Lightly Doped Drain) 領域形成用のスペーサーとして利用することができる。すなわち、薄膜トランジスタの作製方法として、絶縁基板上に半導体島領域を形成する工程と、前記半導体島領域上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極をマスクとして、前記半導体島領域中に低濃度の不純物を注入する工程と、前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、前記層間絶縁膜をエッチングし、ゲイト電極の側面にスペーサーを形成する工程と、前記ゲイト電極および前記スペーサーをマスクとして、前記半導体島領域中に高濃度の不純物を注入する工程とを有することを特徴とする。

【0024】また、半導体基板上に形成されるトランジスタも同様に作製することができる。すなわち、半導体基板上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極をマスクとして、前記半導体中に低濃度の不純物を注入する工程と、前記ゲイト絶縁膜及び前記ゲイト電極を覆って層間絶縁膜を形成する工程と、前記層間絶縁膜をエッチングし、ゲイト電極の側面にスペーサーを形成する工程と、前記ゲイト電極および前記スペーサーをマスクとして、前記半導体中に高濃度の不純物を注入する工程とを有することを特徴とする。

【0025】

【発明の実施の形態】本発明の第1ないし第2で開示された工程において、層間絶縁膜は第2の不純物をドーピングする際のマスクとして用いられている。また、本発明の第3で開示された工程では、第1ないし第2の不純物をドーピングする際のマスクとして用いられている。

【0026】層間絶縁膜の膜厚は通常0.3 μm 以上あるので、不純物のドーピングの際の遮蔽マスクとして十分に機能を果たすことができる。また、層間絶縁膜本来の最も重要な、上下配線の交差部スペーサーとしての作用は本発明によって、損なわれることは全くない。さらに、層間絶縁膜の上に別の層間絶縁膜を形成すると上下配線間の絶縁性が上がる。このように、本発明によって、作製工程を複雑にせずに、ドーピング用マスクを作製工程から無くすることができる。

【0027】さらに、本発明の作製工程は、ドーピングのためのエッチング工程において、同時にソース領域、ドレイン領域のコンタクトホール形成のためのエッチングも行われるので、工程を簡略化することができる。

【0028】また、層間絶縁膜を、ゲイト電極の側面のLDDスペーサーとして利用することもできる。この工程を用いると、スペーサー用の膜を形成する必要もなく、さらに、スペーサー形成と同時にコンタクトホールも形成することができるので、工程の簡略化をすることができる。

【0029】

【実施例】

【実施例1】本実施例では、トップゲイト型の相補型薄膜トランジスタの作製方法である。本実施例の作製工程図を図1及び図2に示す。図1及び図2において、左側にNチャネル型トランジスタ、右側にPチャネル型トランジスタを形成することとする。

【0030】まず、絶縁基板101上に下地膜として酸化珪素膜102を1000~3000 \AA 、好ましくは1500~2500 \AA の厚さに成膜する。絶縁基板としては、ガラス基板または石英基板を用いる。また、酸化珪素膜は、TEOSを用いてプラズマCVD法により成膜する。

【0031】次に、図示しない非晶質珪素膜を200~800 \AA 、好ましくは500~600 \AA の厚さにプラズマCVD法により成膜する。そして、レーザーもしくは熱により非晶質珪素膜を結晶化する。その後、結晶化した珪素膜をパターニングし、半導体島領域103、104を形成する。なお、このとき、非晶質珪素膜にボロン(B)を 1×10^{19} 原子/ cm^3 の濃度で添加してもよい。これは、トランジスタのしきい値(V_{th})を調節するためにおこなうものなので、濃度は上記範囲で適宜、調整する。特にNチャネル型トランジスタとなる珪素膜に添加しておくのがよい。

【0032】そして、ゲイト絶縁膜105として酸化珪素膜を800~2000 \AA 、好ましくは1000~15

00 \AA の厚さに成膜する。この酸化珪素膜は、シランと一酸化窒素の混合気体を用いてプラズマCVD法で成膜する。また、ゲイト絶縁膜として、窒化珪素または、酸化珪素と窒化珪素との積層体を用いてもよい。こうして、図1(A)の状態を得る。

【0033】次に、ゲイト絶縁膜105上に図示しないアルミニウム膜をスパッタ法で成膜する。このアルミニウム膜には、この後の加熱工程でアルミニウムにヒロックやウィスカが発生するのを防止するために、スカンジウム、チタン、シリコン等を少量添加しておくといよい。また、アルミニウムのかわりにタンタルを用いてもよい。

【0034】その後、酒石酸を用いて、アルミニウム膜の表面を陽極酸化し、100 \AA の極薄い緻密な陽極酸化膜を形成する。この陽極酸化膜は、マスクの密着性を向上するという効果がある。そして、緻密な陽極酸化膜上に図示しないレジストマスクを配置し、アルミニウム膜と緻密な陽極酸化膜をパターニングし、ゲイト電極106、107を形成する。

【0035】次に、シュウ酸を用いて、ゲイト電極106、107の側面を陽極酸化し、多孔質な陽極酸化膜108、109を形成する。そして、レジストマスクを除去し、再び酒石酸を用いて、ゲイト電極を陽極酸化し、ゲイト電極を囲って緻密な陽極酸化膜110、111を形成する。こうして、図1(B)の状態を得る。

【0036】図1(B)の状態を得たら、ゲイト電極106、107と陽極酸化膜108~111をマスクとして、半導体島領域103、104中にリン(P)をイオン注入する。このときのドーザ量は $1 \times 10^{14} \sim 9 \times 10^{14}$ 原子/ cm^2 、好ましくは $2 \times 10^{14} \sim 7 \times 10^{14}$ 原子/ cm^2 、加速電圧は80kVとする。この工程を後の図2(F)の工程に対してヘビードープと呼ぶ。こうして、 n^+ 型不純物領域112~115が形成される。(図1(C))

【0037】その後、多孔質な陽極酸化膜108、109を除去し、層間絶縁膜116を0.3 μm 以上、好ましくは0.5 μm 以上の厚さに成膜する。層間絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化珪素膜と酸化珪素膜との積層、有機樹脂膜、窒化珪素膜と有機樹脂膜の積層、酸化珪素膜と有機樹脂膜の積層などを用いることができる。窒化珪素膜と有機樹脂膜との積層を用いるならば、窒化珪素膜を下に有機樹脂膜を上にした積層の方が、有機汚染を減らすことができる。また、酸化珪素膜と有機樹脂膜との積層も同様である。さらに、有機物汚染を最小限に抑えるならば、窒化珪素膜、酸化珪素膜、窒化珪素膜と酸化珪素膜との積層などの無機物を用いる方が好ましい。こうして、図1(D)の状態を得る。

【0038】次に、層間絶縁膜をパターニングし、Pチャネル型トランジスタとなる半導体島領域104上に開孔を開ける。このとき、層間絶縁膜116にゲイト絶縁

膜105に対してエッチングレートの速い材料を用いていると、ゲイト絶縁膜がエッチングのストッパーとなる。例えば、ゲイト絶縁膜に酸化珪素膜、層間絶縁膜に窒化珪素膜、有機樹脂膜、または窒化珪素膜と有機樹脂膜の積層などを用いるとよい。前述したように有機物汚染も考慮すれば、ゲイト絶縁膜に酸化珪素膜、層間絶縁膜に窒化珪素膜を用いる方が好ましい。また、ゲイト絶縁膜もエッチングして、半導体層でエッチングを止めてもよい。

【0039】そして、層間絶縁膜をマスクとして、ボロン(B)をイオン注入する。層間絶縁膜は $0.3\mu\text{m}$ 以上の厚さがあるのでマスクとして十分機能する。また、この時のドーズ量は、図1(C)の工程においてリンを注入したドーズ量よりも多くする。本実施例では、ドーズ量を $1\times 10^{15}\sim 5\times 10^{15}$ 原子/ cm^2 、加速電圧を 65kV とする。このように、ボロンのドーズ量はリンのドーズ量より大きいので、不純物領域114、115の導電型は反転し、p型不純物領域(ソース/ドレイン領域)117、118となる。そして、119はPチャネル型トランジスタのチャネル形成領域となる。こうして、図2(E)の状態を得る。

【0040】そして、今度はNチャネル型トランジスタとなる半導体島領域105上を開孔し、再びリン(P)を注入する。このときのリンのドーズ量は1回目のリンのドーズ量よりも小さくする。本実施例では、ドーズ量は $1\times 10^{13}\sim 5\times 10^{13}$ 原子/ cm^2 、加速電圧は 80kV とする。この工程を図1(C)の工程に対してライトドープと呼ぶ。

【0041】この工程により、1回目のリン注入時ににおいてリンが注入されなかった領域120、121に、 n^+ 型不純物領域112、113よりも低い濃度でリンが注入される。この n^- 型不純物領域120、121はLDD領域と呼ばれ、ゲイト電極と不純物領域との電界集中を緩和し、リーク電流を低下させる効果がある。また、122はNチャネル型トランジスタのチャネル形成領域となる。

【0042】なお、この2回目のリン注入のドーズ量はボロン注入のドーズ量よりも小さいので、p型不純物領域117、118の導電型が反転することはない。こうして、図2(F)の状態を得る。

【0043】その後、ゲイト絶縁膜105にコンタクトホールを形成し、ゲイト電極および層間絶縁膜を覆って図示しない金属膜を形成する。金属膜としては、アルミニウム膜、アルミニウムとチタンの積層膜を用いることができる。そして、金属膜をパターニングし、ソース/ドレイン電極・配線123~125を形成する。その後、パッシベーション膜126を成膜する。

【0044】こうして、相補型薄膜トランジスタを形成することができる。(図2(G))なお、図2(F)において、 n^- 型不純物領域120、121を形成してい

るが、この n^- 型不純物領域120、121は、図1(D)の工程の多孔質の陽極酸化膜108、109除去後形成してもよい。

【0045】以上のようにして形成した相補型薄膜トランジスタを有する半導体装置には、従来例の方法で作製したトランジスタに対して特徴的なことがある。このことを図5を用いて説明する。

【0046】まず第1に、層間絶縁膜は不純物注入時のマスクとして機能しているので、層間絶縁膜中にはその不純物(リン及びボロン)が含まれている。その濃度はそれぞれ 1×10^{17} 原子/ cm^3 以上である。また、ただ含まれているだけではなく、図5(A)の右側に示すように、膜厚方向に沿ってそれぞれ濃度に勾配がある分布になっている。これは、層間絶縁膜に不純物がイオン注入されたことを示すものである。なお、上記不純物の濃度の値(1×10^{17} 原子/ cm^3 以上)は勾配の最大値を示す。

【0047】また、不純物濃度の分布にはピークがあり、そのピークの位置は、リン、ボロンによって異なる。これは、それぞれにおいてドープ条件が異なるからである。また、ライトドープ、ヘビードープによっても異なる。

【0048】第2に、層間絶縁膜はトランジスタ上において開孔を形成している点である。すなわち、図5(A)において、ゲイト配線501とソース(ドレイン)電極・配線125の間には層間絶縁膜116が存在する。しかし、トランジスタの上には層間絶縁膜は存在しない。これは、半導体島領域103、104中に不純物をドーピングするために、半導体島領域上の層間絶縁膜を除去したためである。

【0049】第3に、ゲイト絶縁膜には、層間絶縁膜と、ソース電極またはドレイン電極とが接する付近に段差がある点である。図5(B)は図5(A)の502で囲った部分を拡大したものである。この図において、ゲイト絶縁膜105には、層間絶縁膜116とソース(ドレイン)電極125とが接する付近において、段差503が形成されている。これは、層間絶縁膜をパターニングした際にオーバーエッチングされたものである。もちろん、エッチング時間などの条件によりオーバーエッチングされない場合もある。

【0050】最後に、ドーピングマスクにレジストを利用した場合にはゲイト絶縁膜上にレジスト層が薄く残っていることがある。しかし、本発明によって形成された半導体装置のゲイト絶縁膜上には、上記レジスト層はない。

【0051】なお、本実施例では絶縁基板上に薄膜トランジスタを形成した例を示したが、半導体基板にトランジスタを形成する場合も同様に形成することができる。また、作製された半導体装置の構造上の特徴も上記に説明したとおりである(図11)。なお、図11におい

て、1101は半導体基板、1102はフィールド酸化物であり、その他の部分は本実施例の薄膜トランジスタと同様である。

【0052】〔実施例2〕本実施例は、ボトムゲイト型の相補型薄膜トランジスタの作製方法である。本実施例の作製工程図を図6及び図7に示す。図6及び図7において、左側にNチャネル型トランジスタ、右側にPチャネル型トランジスタを形成することとする。また、特に記載しない作製条件は実施例1と同様である。

【0053】まず、絶縁基板601上に下地膜602を成膜する。次に図示しないアルミニウム膜を成膜後パターンニングし、ゲイト電極603、604を得る。そして、ゲイト電極603、604を覆ってゲイト絶縁膜605を成膜する。その後、図示しない半導体層を成膜後パターンニングし、半導体島領域606、607を得る。半導体島領域606、607を得たら、層間絶縁膜608を形成する。こうして図6(A)を得る。

【0054】次に層間絶縁膜をパターンニングし、Pチャネル型トランジスタとなる半導体層の一部609、610を露呈する。そして、層間絶縁膜をマスクとして、露呈した半導体層609、610にボロン(B)イオンを $1 \times 10^{15} \sim 5 \times 10^{15}$ 原子/cm²のドーズ量で注入し、p型不純物領域(ソース/ドレイン領域)609、610及びチャネル形成領域611を形成する。(図6(B))

【0055】そして、再び層間絶縁膜をパターンニングし、Pチャネル型トランジスタとなる半導体層の一部612、613を露呈する。その後、層間絶縁膜をマスクとして、露呈した半導体層612、613にリン(P)イオンを $1 \times 10^{14} \sim 9 \times 10^{14}$ 原子/cm²のドーズ量で注入し、n型不純物領域612、613(ソース/ドレイン領域)609、610及びチャネル形成領域614を形成する。

【0056】なお、このときp型不純物領域609、610にもリンが注入されるが、リンのドーズ量はボロンのドーズ量よりも少ないので、不純物領域609、610の導電性は反転されない。こうして、図6(C)の状態を得る。

【0057】その後、図示しない金属膜を成膜後パターンニングし、ソース配線、ドレイン配線615～617を形成する。そしてパッシベーション膜618を成膜し、ボトムゲイト型の相補型薄膜トランジスタを得る。(図7(D))

【0058】なお、本実施例にて作製された半導体装置の層間絶縁膜には、実施例1で説明したように、不純物(リン及びボロン)が含まれており、また、その濃度は膜厚方向に沿って勾配を持つ分布になっている。

【0059】〔実施例3〕実施例1においては、陽極酸化膜を利用してLDD領域を形成する。本実施例では、層間絶縁膜を利用してゲート電極の両側に形成されたL

DDスペーサーによりLDD領域を形成する方法について説明する。なお、特に記載しない作製工程、作製条件は実施例1と同様である。

【0060】まず、絶縁基板801上に形成された下地膜802上に半導体島領域803、804を形成する。その後、ゲイト絶縁膜805を形成し、ゲイト電極806、807を形成する。(図8(A))

【0061】次にゲイト電極806、807をマスクとして、リン(P)のライトドープを行う。条件は実施例1のライトドープと同様にする。こうして、n⁻型不純物領域808～811を形成する。(図8(B))

【0062】その後、層間絶縁膜812を形成後(図8(C))、層間絶縁膜812をパターンニングし、Pチャネル型トランジスタとなる半導体島領域804上に開孔を開ける。本実施例ではゲイト絶縁膜もエッチングする。もちろん、ゲイト絶縁膜でエッチングを止めてもよい。そして、層間絶縁膜をマスクとして、ボロン(B)をイオン注入する。このドープ条件は実施例1と同様である。このとき、不純物領域810、811は導電型が反転しp型となる。また、チャネル形成領域813が形成される。(図9(D))

【0063】次に、Nチャネル型トランジスタとなる半導体島領域803上を開孔する。このとき、ゲイト電極806の両側にスペーサー814を形成する。また、そして、層間絶縁膜及びスペーサーをマスクとして、再びリン(P)を注入する。このときの条件は実施例1のヘビードープでおこなう。

【0064】この工程により、不純物領域815、816は、n⁻型不純物領域817、818よりも不純物濃度の大きい領域となる(n⁺型不純物領域)。したがって、不純物領域817、818はLDD領域となる。また、819はチャネル形成領域である。(図9(E))

【0065】この後、実施例1と同様に、ソース/ドレイン配線820～822、パッシベーション膜823を形成し、相補型トランジスタを形成する。

【0066】なお、本実施例では絶縁基板上に薄膜トランジスタを形成した例を示したが、半導体基板にトランジスタを形成する場合も同様に形成することができる。また、作製された半導体装置の構造上の特徴も実施例1に説明したとおりである。さらに、スペーサーにも層間絶縁膜と同様に、リンとボロンの不純物が含まれている。

【0067】以上のように、わざわざLDDスペーサー用の膜を成膜する必要もなく、LDDスペーサー形成の際コンタクトホールも形成されるので、工程の簡略化をすることができる。また、ドーピング用のレジストマスクを用いることもない。

【0068】〔実施例4〕図5において、ソース(ドレイン)配線125とゲイト配線501との間の層間絶縁膜116だけでは十分に絶縁性がとれない場合がある。

この場合、図10に示すように層間絶縁膜116上に、第2の層間絶縁膜1001を形成する。本実施例は、実施例1だけでなく、実施例2や実施例3にも応用できる。

【0069】第2の層間絶縁膜としては、酸化珪素膜、窒化珪素膜、有機樹脂膜、またはそれらの積層などを用いることができる。また、この第2の層間絶縁膜には、不純物（リンやボロン）が層間絶縁膜116のように含まれてはいない。

【0070】【実施例5】本実施例では、本発明を利用した半導体装置を利用した応用製品について説明する。本発明を利用した半導体装置には、半導体集積回路（CMOS回路、DRAM回路、SRAM回路等のロジック回路）やアクティブマトリクス型電気光学装置を駆動するための周辺回路等がある。以下に、その応用製品について例を挙げて説明する。

【0071】図12（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本発明は表示装置2004の周辺回路や装置内部に組み込まれる集積回路に対して適用できる。

【0072】図12（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106から構成される。本発明は表示装置2102の周辺回路や装置内部に組み込まれる集積回路に対して適用できる。

【0073】図12（C）はモバイルコンピュータであり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205から構成される。本発明は表示装置2205の周辺回路や装置内部に組み込まれる集積回路に対して適用できる。

【0074】図12（D）はヘッドマウンテンディスプレイであり、本体2301、表示装置2302、バンド部2303から構成される。本発明は表示装置2302の周辺回路や装置内部に組み込まれる集積回路に対して適用できる。

【0075】図12（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407から構成される。本発明は表示装置2403の周辺回路や装置内部に組み込まれる集積回路に対して適用できる。

【0076】図12（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505から構成される。本発明は表示装置2503の周辺回路や装置内部に組み込まれる集積回路に対して適用できる。

【0077】以上の他にも、本発明を利用した半導体装

置は、パーソナルコンピュータや携帯型情報端末機器などの応用製品にも利用できる。このように、本発明を利用した半導体装置は広い範囲に渡って利用できる。

【0078】

【発明の効果】ドーピング工程において層間絶縁膜をマスクとすることにより、ドーピング用のレジストマスクを無くすることができる。これにより、半導体装置の有機物汚染を低減することができる。また、作製工程を簡略化することができる。

【0079】さらに、層間絶縁膜をLDDスペーサーとして利用すると、簡略化した工程でLDD領域を形成することができる。

【図面の簡単な説明】

【図1】 本発明の相補型トランジスタの作製工程を示す図。

【図2】 本発明の相補型トランジスタの作製工程を示す図。

【図3】 従来の相補型トランジスタの作製工程を示す図。

【図4】 従来の相補型トランジスタの作製工程を示す図。

【図5】 本発明により作製された半導体装置を説明する図。

【図6】 本発明のボトムゲイト型トランジスタの作製工程を示す図。

【図7】 本発明のボトムゲイト型トランジスタの作製工程を示す図。

【図8】 本発明のスペーサーを用いた相補型トランジスタの作製工程を示す図。

【図9】 本発明のスペーサーを用いた相補型トランジスタの作製工程を示す図。

【図10】 本発明の相補型トランジスタを示す図。

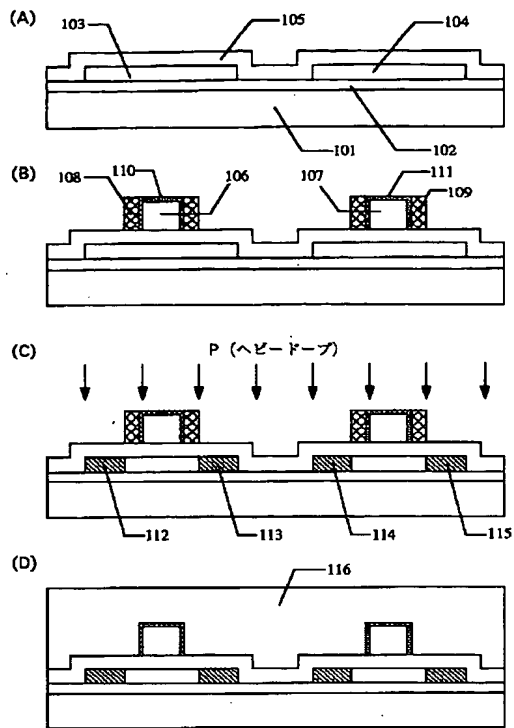
【図11】 本発明の半導体基板上に形成された相補型トランジスタを示す図。

【図12】 本発明を利用した応用製品を示す図。

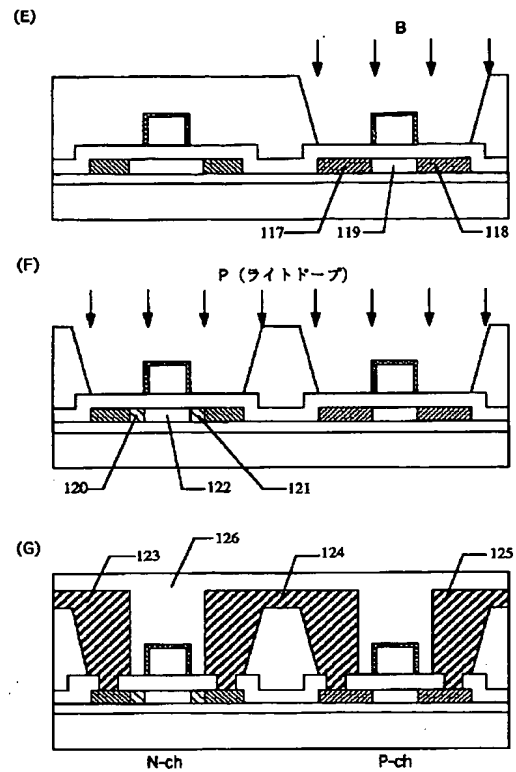
【符号の説明】

101	絶縁基板
102	下地膜
103、104	半導体島領域
105	ゲイト絶縁膜
106、107	ゲイト電極
108、109	多孔質の陽極酸化膜
110、111	緻密な陽極酸化膜
112～115	n ⁺ 不純物領域
116	層間絶縁膜
117、118	p 不純物領域
119、122	チャネル形成領域
120、121	n ⁻ 不純物領域
123～125	ソース/ドレイン電極・配線
126	パッシベーション膜

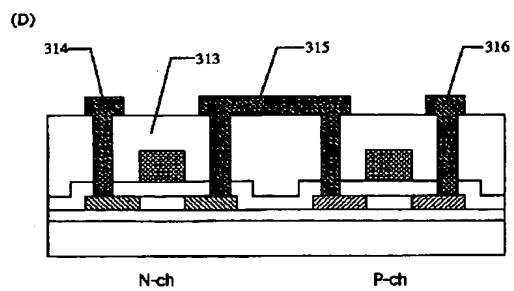
【図 1】



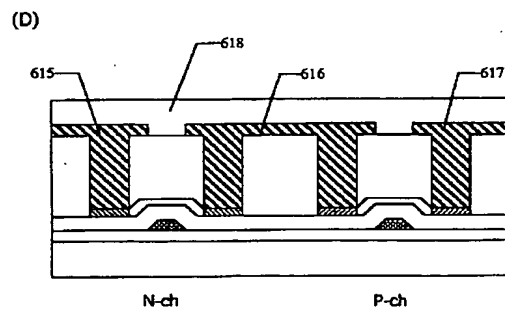
【図 2】



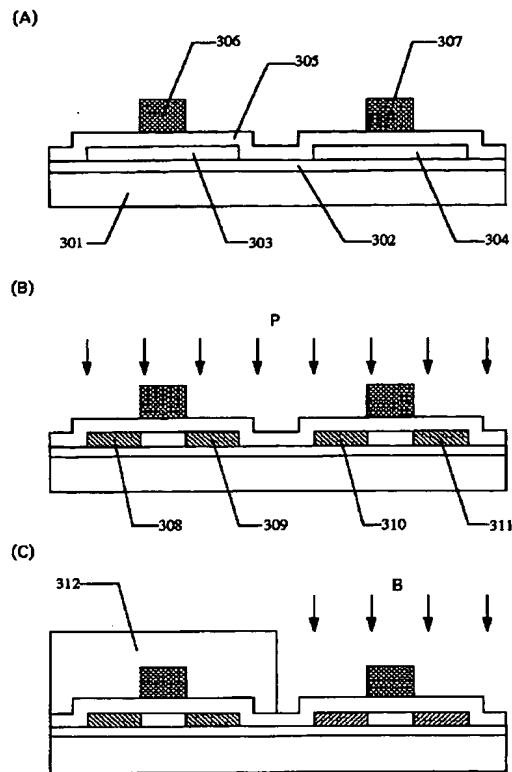
【図 4】



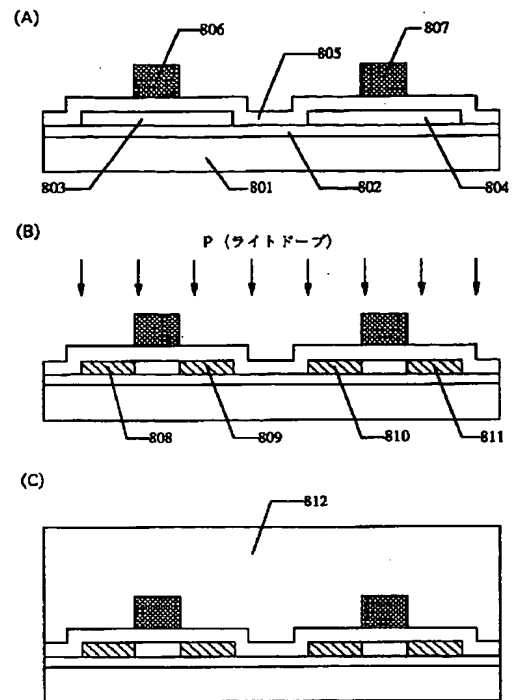
【図 7】



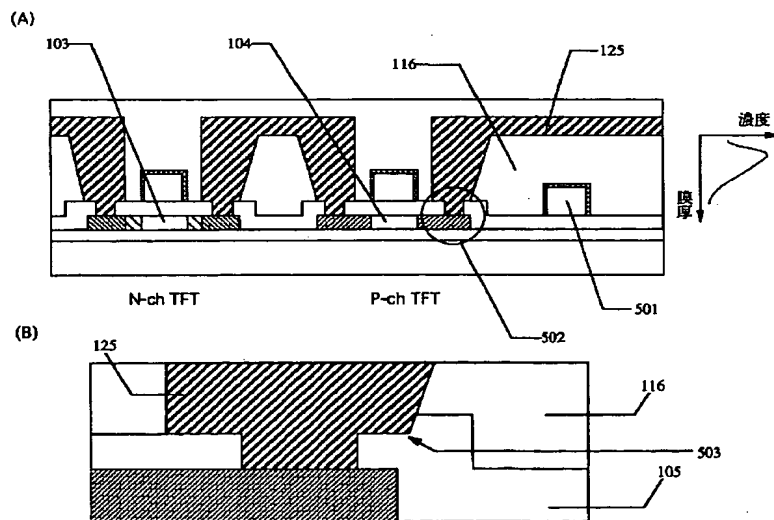
【図 3】



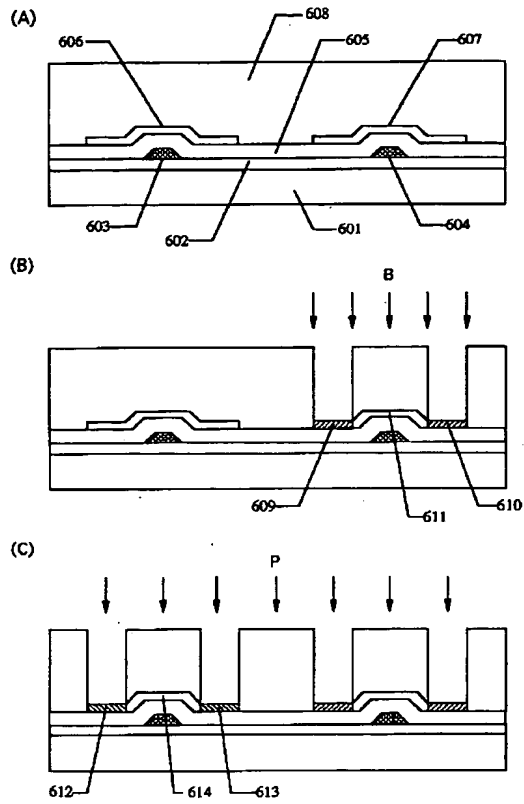
【図 8】



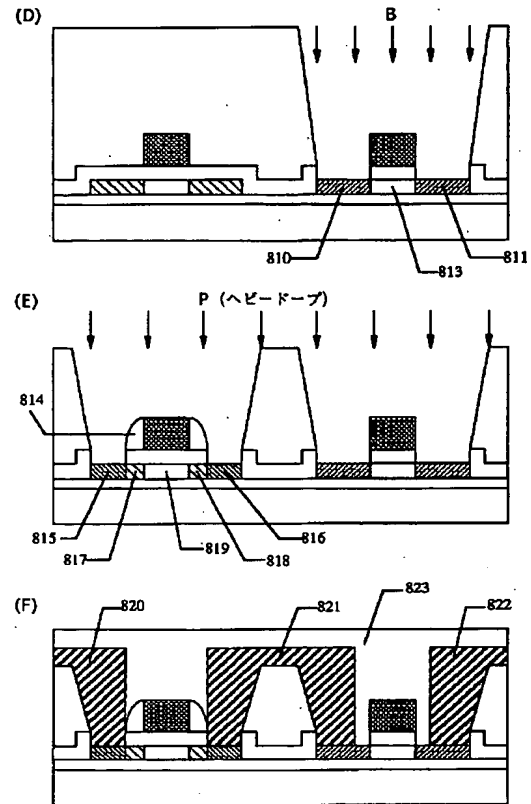
【図 5】



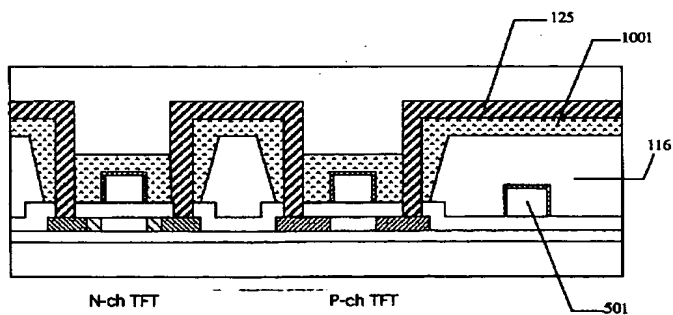
【図 6】



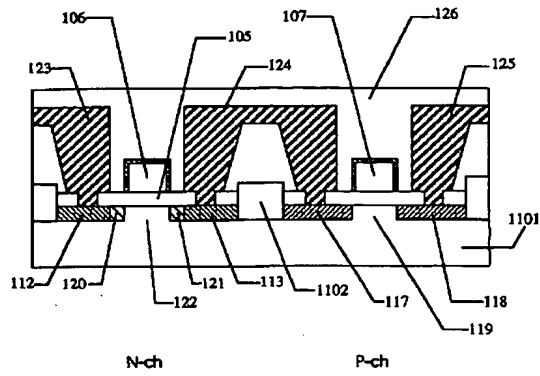
【図 9】



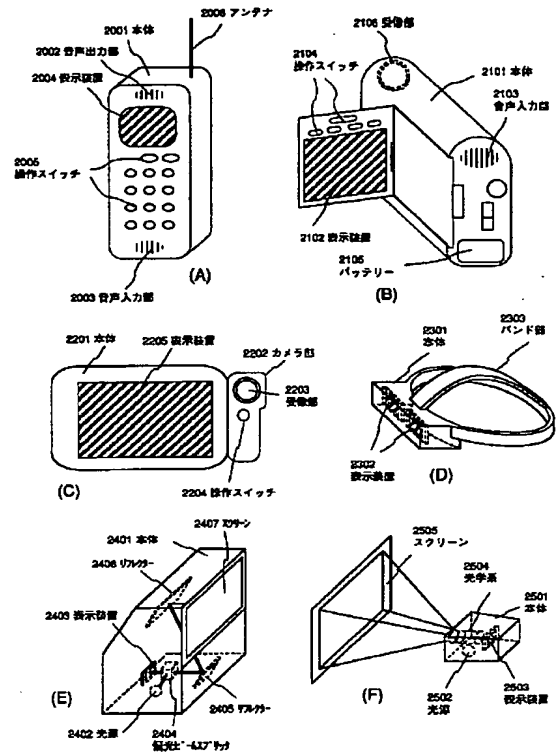
【図 10】



【図 11】



【図 12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.